



PATENT

Docket No.: 8733.453.00

#4
1/7/02
amw

UNITED STATES PATENT AND TRADEMARK OFFICE

In Re Application of:

Soon Sung YOO et al.

Group Art Unit: 2871

Application No.: 09/893,970

Examiner: TBA

Filing Date: June 29, 2001

1C 2600 MAIL ROOM

RECEIVED
DEC 12 2001

For: LIQUID CRYSTAL DISPLAY DEVICE AND ITS FABRICATING METHOD

REQUEST FOR PRIORITYCommissioner of Patents
Washington, D.C. 20231

Sir:

- ☐ Full benefit of the filing date of U.S. Application No. [*], filed [*], is claimed pursuant to the provisions of 35 U.S.C. § 120.
- ☐ Full benefit of the filing date of U.S. Provisional Application No., [*], filed [*], is claimed pursuant to the provisions of 35 U.S.C. § 119(e).
- ☒ Applicants claim any right to priority from any earlier filed applications to which they may be entitled pursuant to the provisions of 35 U.S.C. § 119, as noted below.

In the matter of the above-identified application for patent, notice is hereby given that the Applicants claim as priority:

COUNTRYAPPLICATION NO.MONTH/DAY/YEAR

KOREA

2000-85365

December 29, 2000

Certified copies of the corresponding Convention Application(s)

- ☒ Are submitted herewith.
- ☐ Will be submitted prior to payment of the Final Fee.
- ☐ Were filed in prior Application No. [*], filed [*].
- ☐ Were submitted to the International Bureau in PCT Application No. [*]. Receipt of the certified copies by the International Bureau in a timely manner under PCT Rule 17.1(a) has been acknowledged as evidenced by the attached PCT/IB/304.
- ☐ (A) Application No.(s) [*] were filed in prior application no. [*] filed [*]; and
- (B) Application No.(s)
- ☐ Are submitted herewith.
- ☐ Will be submitted prior to payment of the Final Fee.

Respectfully submitted,

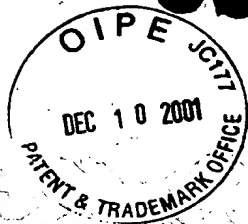
LONG ALDRIDGE & NORMAN, LLP

Date: December 10, 2001
701 Pennsylvania Avenue, N.W.
Sixth Floor, Suite 600
Washington, D.C. 20004
Telephone No.: (202) 624-1200
Facsimile No.: (202) 624-1298

By

John M. Kelly
Registration No. 33,920

Lois Aldridge + Norman, LLP
203-4-1300 8733.453.00
09/893,970 - Soon-Sung Yoo et al.



대한민국 특허청
KOREAN INTELLECTUAL
PROPERTY OFFICE

별첨 사본은 아래 출원의 원본과 동일함을 증명함.

This is to certify that the following application annexed hereto
is a true copy from the records of the Korean Intellectual
Property Office.

RECEIVED
DEC 12 2001
10:300 MAIL ROOM

출원번호 : 특허출원 2000년 제 85365 호
Application Number

출원년월일 : 2000년 12월 29일
Date of Application

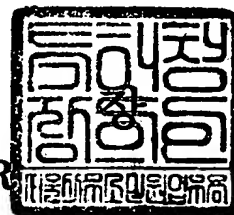
출원인 : 엘지.필립스 엘시디 주식회사
Applicant(s)



2001 년 03 월 27 일

특 허 청

COMMISSIONER



【서류명】 특허출원서
【권리구분】 특허
【수신처】 특허청장
【참조번호】 0008
【제출일자】 2000.12.29
【발명의 명칭】 액정표시소자 및 그의 제조방법
【발명의 영문명칭】 Liquid Crystal Display Device And Method Of Fabricatin The Same

【출원인】
【명칭】 엘지 필립스 엘시디 주식회사
【출원인코드】 1-1998-101865-5

【대리인】
【성명】 김영호
【대리인코드】 9-1998-000083-1
【포괄위임등록번호】 1999-001050-4

【발명자】
【성명의 국문표기】 ~~곽동영~~
【성명의 영문표기】 ~~KWAK, Dong Yeung~~
【주민등록번호】 ~~701201-1695819~~
【우편번호】 ~~704-340~~
【주소】 ~~대구광역시 달서구 송현동 그린맨션 103동 1108호~~
【국적】 ~~KR~~

【발명자】
【성명의 국문표기】 ~~류순성~~
【성명의 영문표기】 ~~YOO, Soon Sung~~
【주민등록번호】 ~~661229-1228318~~
【우편번호】 ~~730-040~~
【주소】 ~~경상북도 구미시 형곡동 신세계 타운401호~~
【국적】 ~~KR~~

【발명자】
【성명의 국문표기】 ~~정유호~~
【성명의 영문표기】 ~~JUNG, Yu Ho~~
【주민등록번호】 ~~710506-1058311~~

【우편번호】 730-360
 【주소】 경상북도 구미시 진평동 642-3번지 엘지 필립스 엘시디
 【국적】 KR

【발명자】

【성명의 국문표기】 이우채
 【성명의 영문표기】 LEE, Woo Chae
 【주민등록번호】 731019-1067011
 【우편번호】 730-360
 【주소】 경상북도 구미시 진평동 642-3번지 엘지 필립스 엘시디
 【국적】 KR

【발명자】

【성명의 국문표기】 김후성
 【성명의 영문표기】 KIM, Hoo Sung
 【주민등록번호】 700121-1025316
 【우편번호】 136-120
 【주소】 서울특별시 성북구 상월곡동 55-105 5/5
 【국적】 KR

【발명자】

【성명의 국문표기】 김용완
 【성명의 영문표기】 KIM, Yong Wan
 【주민등록번호】 701011-1899714
 【우편번호】 730-360
 【주소】 경상북도 구미시 진평동 624-3번지 엘지 필립스 엘시디
 【국적】 KR

【발명자】

【성명의 국문표기】 박덕진
 【성명의 영문표기】 PARK, Dug Jin
 【주민등록번호】 710727-1787710
 【우편번호】 702-260
 【주소】 대구광역시 북구 태전동 한라아파트 104동 601호
 【국적】 KR

【취지】 특허법 제42조의 규정에 의하여 위와 같이 출원합니다. 대
 리인 김영
 호 (인)

【수수료】

【기본출원료】 20 면 29,000 원

【가산출원료】 3 면 3,000 원

【우선권 주장료】 0 건 0 원

【심사청구료】 0 항 0 원

【합계】 32,000 원

【첨부서류】

1. 요약서·명세서(도면)_1통

【요약서】**【요약】**

본 발명은 균일한 액정셀 갭을 형성하기 위한 액정표시장치 및 그의 제조방법에 관한 것이다.

본 발명은 액정이 외부로 유출되는 것을 방지하기 위한 본실링부와 상기 본실링부와 액정패널의 외곽의 단차를 줄이기 위한 더미실링부를 구비하는 액정표시소자에 있어서, 상기 본실링부 및 더미실링부와 하부기판 간에 형성되는 게이트전극과; 상기 게이트전극 상에 형성되는 게이트절연막을 구비한다.

본 발명은 본실링부 및 더미실링부와 하판 간에 형성되는 층들을 동일하게 형성함으로써, 그 층들 상에 형성되는 본실링부 및 더미실링부의 수직단차를 동일하게 할 수 있다. 따라서, 상/하판 합착시 셀갭을 균일하게 형성할 수 있다. 더 나아가, 셀갭의 균일성에 의해 셀갭의 이인성, 부정형 얼룩 및 리플불량을 개선할 수 있다.

【대표도】

도 3

【명세서】

【발명의 명칭】

액정표시소자 및 그의 제조방법{Liquid Crystal Display Device And Method Of Fabricating The Same}

【도면의 간단한 설명】

도 1은 통상적인 액정표시소자를 도시한 평면도.

도 2는 종래 기술에 따른 액정표시소자를 도시한 단면도.

도 3은 본 발명에 따른 액정표시소자를 도시한 단면도.

도 4a 내지 도 4f는 도 3에 도시한 액정표시소자의 제조방법을 단계적으로 도시한 단면도.

< 도면의 주요 부분에 대한 부호의 설명 >

4, 40 : 하판

6, 41 : 상판

7 : 액정주입구

8 : 화상표시부

10, 46 : 본실링부

11, 13, 15, 16, 45 : 더미실링부

12 : 게이트패드

14 : 데이터패드

20, 42 : 게이트전극

21, 43 : 게이트절연막

22, 47 : 활성층

23, 51 : 패시베이션층

30, 32 : 산

골 : 31, 33

48 : 오믹접촉층

49 : 금속층

【발명의 상세한 설명】**【발명의 목적】****【발명이 속하는 기술분야 및 그 분야의 종래기술】**

<14> 본 발명은 액정표시소자 및 그의 제조방법에 관한 것으로서, 특히 균일한 액정셀 갭을 형성하기 위한 액정표시장치 및 그의 제조방법에 관한 것이다.

<15> 통상, 액정표시(Liquid Crystal Display; LCD) 소자는 매트릭스 형태로 배열된 액정셀들이 비디오신호에 따라 광투과율을 조절함으로써 액정패널에 비디오신호에 해당하는 화상을 표시하게 된다. 이를 위하여, 액정표시소자는 액정셀들이 액티브 매트릭스(Active Matrix) 형태로 배열된 액정패널과, 액정셀들을 구동하기 위한 구동 집적회로(Integrated Circuit; 이하, IC라 한다)들을 구비한다. 구동 IC들은 통상 칩(Chip) 형태로 제작되며 탭(TAB; Tape Autoamted Bonding) 방식인 경우 TCP(Tape Carrier Package)에 실장되거나 COG(Chips On Glass) 방식인 경우 액정패널의 표면에 실장되게 된다. TAB 방식인 경우 구동 IC들은 TCP에 의해 액정패널에 마련된 패드부와 전기적으로 접속되어 있다.

<16> 도 1을 참조하면, 통상의 액정패널을 나타내는 평면도가 도시되어 있다.

<17> 도 1의 액정패널(2)은 하판(4)과 상판(6)이 대향하여 접착된 구조로 매트릭스 액정셀들이 위치하는 화상표시부(8)와, 구동 IC들과 화상표시부(8) 사이에 접속되는 게이트 패드부(12) 및 데이터 패드부(14)를 포함하게 된다. 화상표시부(8)에 있어서, 하판(4)

에는 비디오신호가 인가되는 데이터라인들과 주사신호가 인가되는 게이트라인들이 서로 교차하여 배치되고, 그 교차부에 액정셀들을 스위칭하기 위한 박막트랜지스터와, 박막트랜지스터에 접속되어 액정셀을 구동하는 화소전극이 형성되어 있다. 상판(6)에는 블랙 매트릭스에 의해 셀영역별로 분리되어 도포된 칼러필터들과, 칼러필터들의 표면에 공통 투명전극이 도포되어 있다. 이러한, 상하판(4, 6)은 스페이서에 의해 이격되어 셀갭이 마련되고, 그 셀갭에는 액정물질로 채워져 있다. 또한, 하판(4)의 가장자리 영역에는 게이트 패드부(12)와, 데이터 패드부(14)가 마련된다. 이 게이트 패드부(12)는 게이트 구동 IC로부터 공급되는 게이트신호를 화상표시부(8)의 게이트라인들에 공급한다. 데이터 패드부(14)는 데이터 구동IC로부터 공급되는 비디오신호를 화상표시부(8)의 데이터 라인들에 공급한다. 이와 아울러, 상판(6)과 하판(4)은 화상표시부(8) 외곽의 본실링부(10)와 게이트 패드부(12), 데이터 패드부(14), 액정주입구(7) 및 화상표시부(8)의 하단 외곽부에 형성된 하판(4) 외곽의 제1 더미실링부 내지 제4 더미실링부(11,13,15,16)에 도포된 실링재에 의해 접착된다. 본실링부(10)는 게이트 라인과 게이트 패드부(12)간의 게이트 링크부 및 데이터 라인과 데이터 패드부(14)간의 데이터 링크부를 경유하여 형성되고 그 안으로 액정이 주입되기 위해 액정 주입구가 형성된다. 제1 더미실링부 내지 제2 더미실링부(11,13,15,16)는 본실링부(10)가 위치하는 화상표시부(8)와 게이트 패드부(12), 데이터 패드부(14), 액정주입구(7) 및 화상표시부(8)의 하단 외곽부간에 있어서 발생하는 수직높이차를 줄이기 위해 게이트 패드부(12), 데이터 패드부(14), 액정주입구(7) 및 화상표시부(8)의 하단 외곽부에 형성된다.

<18> 그러나, 본실링부(10) 주변 외곽부에 제1 더미실링부 내지 제2 더미실링부(11,13,15,16)를 형성하여도 본실링부(10)와 제1 더미실링부 내지 제2 더미실링부

(11,13,15,16)간에 수직높이차가 발생한다. 이를 각 부별로 상세히 설명하면 도 2와 같다. 도 2와 같이, 더미실링부(11,13,15,16)는 하판(4) 상에 형성되어 더미실링부(11,13,15,16)의 하부와 하판(4)간의 수직높이차는 0Å이다. 게이트 링크부는 하판(4) 상에 게이트전극(20), 게이트절연막(21), 활성층(22) 및 패시베이션층(23)이 순차적으로 형성되는 산(30)과 각각의 산(30)간에 하판(4)이 노출되는 골(31)부분으로 구분된다. 산(30)과 하판(4)간은 10300Å 정도의 수직높이차를 보이고 골(31)과 하판(4)간은 0Å 정도의 수직높이차를 보인다. 데이터 링크부는 하판(4) 상에 게이트 절연막(21), 활성층(22), 금속층(24) 및 패시베이션층(23)이 순차적으로 형성되는 산(32)과 각각의 산(32)간에 하판(4)이 노출되는 골(33)부분으로 구분된다. 산(32)과 하판(4)간은 9500Å 정도의 수직높이차를 보이고 골(33)과 하판(4)간은 0Å 정도의 수직높이차를 보인다. 액정주입부(7)는 하판(4) 상에 게이트전극(20), 게이트절연막(21), 금속층(24) 및 패시베이션층(23)이 순차적으로 형성된다. 액정주입부(7)의 상부와 하판(4)간은 1000Å 정도의 수직높이차를 보인다. 데이터 패드(14)와 대응되는 하판(4)의 하단부(이하 '하단부'라 함)는 하판(4) 상에 게이트전극(20), 게이트절연막(21), 금속층(24) 및 패시베이션층(23)이 순차적으로 형성된다. 하단부는 액정주입부(7)와 동일하게 하판(4)간의 수직높이차를 보인다. 이렇게 형성된 게이트 링크부, 데이터 링크부, 액정주입부 및 하단부 상에는 본실링부(10)가 형성된다. 여기서, 본실링부(10)을 형성하기 위해 각각의 부의 상에 동일한 높이를 가진 실링재가 도포된다. 이때, 각각의 부에 형성되는 실링재의 높이는 동일하게 설정되더라도 각 부의 하부에 형성된 각각의 층에 의해 각 부와 하판(4)간의 수직높이차는 달라지게 된다. 이로 인해, 각각의 부가 형성된 하판(4)과 상판(6)을 합착할시 균일한 액정셀 갭을 얻을 없다. 또한, 게이트 링크부 및 데이터 링크부에 형성된

골(30,32)과 산(31,33)간의 높이차로 인해 그 상에 실링재를 도포할시에도 그 실링재 상부에 골이 형성된다.

<19> 따라서, 이와 같은 수직높이차가 발생하여 상/하판 합착시, 상판에 가해지는 압력이 상판전반에 동일하게 인가되지 않아 액정셀 갭을 균일하게 형성하는 데 많은 어려움이 도출된다.

【발명이 이루고자 하는 기술적 과제】

<20> 따라서, 본 발명의 목적은 균일한 액정셀 갭을 형성하기 위한 액정표시장치 및 그의 제조방법을 제공함에 있다.

【발명의 구성 및 작용】

<21> 상기 목적을 달성하기 위하여, 본 발명의 실시예에 따른 액정표시소자는 액정이 외부로 유출되는 것을 방지하기 위한 본실링부와 상기 본실링부와 액정패널의 외곽의 단차를 줄이기 위한 더미실링부를 구비하는 액정표시소자에 있어서, 상기 본실링부 및 더미실링부와 하부기판 간에 형성되는 게이트전극과; 상기 게이트전극 상에 형성되는 게이트절연막을 구비한다.

<22> 본 발명의 실시예에 따른 액정표시소자의 제조방법은 액정이 외부로 유출되

는 것을 방지하기 위한 본실링부와 상기 본실링부와 액정패널의 외곽의 단차를 줄이기 위한 더미실링부를 구비하는 액정표시소자의 제조방법에 있어서, 상기 본실링부 및 더미실링부와 하부기판 간에 게이트전극을 형성하는 단계와; 상기 게이트전극 상에 게이트절연막, 활성층, 오믹접촉층 및 금속층을 형성하는 단계와; 상기 금속층 및 오믹접촉층이 박막트랜지스터에 대응되는 부분에만 잔류하도록 패터닝하는 단계를 포함한다.

<23> 상기 목적 외에 본 발명의 다른 목적 및 특징들은 첨부도면을 참조한 실시예에 대한 설명을 통하여 명백하게 드러나게 될 것이다.

<24> 이하, 도 3 내지 도 5를 참조하여 본 발명의 바람직한 실시예에 대하여 설명하기로 한다.

<25> 도 3을 참조하면, 우선 본 발명의 실시예에 따른 액정표시소자의 더미실링부, 게이트 링크부, 데이터링크부, 액정주입구부 및 하단부는 하판(40) 상에 게이트전극(42) 및 게이트절연막(43)이 순차적으로 형성된다. 각 부의 상부와 하판(40)간에는 6500Å 정도의 수직높이차를 보인다. 게이트 링크부 및 데이터링크부에 형성된 게이트 링크들(X1 및 X2) 및 데이터 링크(Y1 및 Y2)들은 게이트 절연막(43)으로 서로 접속되게 형성된다. 이와 같이 형성된 각 부의 상부에 실링재(45)가 도포됨과 아울러 상판(41)과 하판(40)은 소정의 압력에 의해 합착된다.

<26> 이와 같은 더미실링부, 게이트링크부, 데이터링크부, 액정주입구부 및 하단부를 박

막트랜지스터의 제조방법과 결부하여 단계적으로 설명하면 도 4a 내지 도 4f와 같다.

<27> 도 4a 내지 도 4f는 본 발명에 따른 4마스크 공정을 이용한 액정표시소자의 제조 공정도이다.

<28> 도 4a를 참조하면, 하단부, 액정주입구부, 더미실링부, 게이트링크부, 박막트랜지스터 및 데이터링크부를 갖는 하판(40) 상에 알루미늄(Al) 또는 구리(Cu)를 스퍼터링 등의 방법으로 증착하거나 무전해 도금방법으로 도포하여 금속박막을 형성한다. 하판(40)으로는 유리, 석영 또는 투명한 플라스틱 등이 사용될 수도 있다. 그리고, 금속박막을 습식식각 방법을 포함하는 포토리소그래피 방법으로 하판(40)의 상의 소정 부분에 잔류하도록 패터닝하여 게이트전극들(42)을 형성한다.

<29> 도 4b를 참조하면, 하판(40) 상에 게이트전극들(42)을 덮도록 게이트절연막(43), 활성층(47) 및 오믹접촉층(48)을 CVD 방법을 이용하여 순차적으로 형성한다. 게이트절연막(43)은 산화실리콘 또는 질화실리콘 등의 절연물질로 형성되고, 활성층(47)은 불순물이 도핑되지 않은 비정질실리콘 또는 다결정실리콘으로 형성된다. 또한, 오믹접촉층(48)은 N형 또는 P형의 불순물이 고농도로 도핑된 비정질실리콘 또는 다결정실리콘으로 형성된다. 오믹접촉층(48) 상에 몰리브덴(Mo), 티타늄 또는 탄탈륨 등의 금속이나, MoW, MoTa 또는 MoNb 등의 몰리브덴 합금(Mo alloy)을 CVD 방법 또는 스퍼터링 방법으로 증착하여 소오스/드레인 금속층(49)을 형성한다. 소오스/드레인 금속층(49)은 오믹접촉층(48)과 오믹 접촉을 이루게 된다. 이러한 소오스/드레인 금속층(49) 상에 포토레지스트를 균일한 두께로 도포한다. 포토레지스트를 패터닝함으로써 소오스 및 드레인전극과 데이터라인 및 데이터패드가 형성될 부분은 최초로 도포한 두께를 갖고 나머지 부분은 최초 도포두께의 10~50% 정도의 두께를 가지며 데이터링크부와 대응하는 부분의 금속층

(49)은 노출시키는 포토레지스트 패턴(50)을 형성한다. 이 포토레지스트 패턴(50)에서 최초두께의 10~50% 정도의 두께를 부분은 노광시 하프톤(half tone) 마스크 또는 회절 마스크를 사용함으로써 형성 가능하게 된다. 그리고, 이러한 포토레지스트 패턴(50)을 마스크로 이용하여 데이터링크부에서 노출된 소오스/드레인 금속층(49)을 습식식각 방법으로 제거하여 오믹접촉층(48)이 노출되게 한다.

<30> 그리고, 게이트 패드부에서 노출된 오믹접촉층(48) 및 활성층(47)을 제거하기 위한 건식식각을 진행하게 된다. 또는 데이터링크부에서 노출된 오믹접촉층(48) 및 활성층(47), 게이트절연막(43)을 제거하기 위한 건식식각을 진행하게 된다. 이 건식식각 공정에 의해 포토레지스트 패턴(50)에서 10~50% 정도의 얇은 두께를 갖는 부분도 함께 제거됨으로써 도 4c에 도시된 바와 같이 포토레지스트 패턴(50)은 소오스 및 드레인전극이 형성되될 부분에만 존재하게 된다. 그 다음, 애싱(Ashing) 공정을 이용하여 상기 포토레지스트 패턴(50)이 제거된 영역에서 잔류하는 포토레지스트를 완전히 제거하게 된다. 이어서, 남아있는 포토레지스트 패턴(50)을 마스크로 사용하여 노출된 소오스/드레인 금속층(49)을 습식식각함으로써 소오스/드레인 전극(49a, 49b)을 형성하게 된다. 그리고, 노출된 오믹접촉층(48)을 건식식각하여 도 4c에 도시된 바와 같이 소오스 및 드레인 전극(49a, 49b)을 동일한 형태로 패터닝하게 된다.

<31> 도 4d를 참조하면, 소오스 및 드레인 전극(49a, 49b) 위에 잔존하는 포토레지스트 패턴(50)을 제거한다.

<32> 도 4e를 참조하면, 활성층(47) 상에 소오스 및 드레인전극(49a, 49b)을 덮도록 산화실리콘 또는 질화실리콘 등의 무기절연물질을 증착하여 패시베이션층(51)을 형성한다. 패시베이션층(51)은 아크릴(acryl)계 유기화합물, BCB 또는 PFCB 등의 유전 상수가 작은

유기 절연물로 형성할 수도 있다. 그 다음, 패시베이션층(51) 및 활성층(47)을 소오스 및 드레인 전극(49a, 49b)에 대응하는 부분에만 잔류되도록 2단계의 건식식각방법을 이용하여 패터닝하게 된다.

<33> 상세히 하면, 첫 번째 건식식각공정에서 패시베이션층(51)의 무기절연물질 또는 유기절연물질과 활성층(47)의 비정질실리콘 물질을 선택적으로 식각 가능한 가스를 이용하여 패시베이션층(51)을 패터닝하게 된다. 이때, 박막트랜지스터에서는 패시베이션층(51)만이 식각되며 데이터링크부의 제1 접촉홀(52)에서는 패시베이션층(51)과 게이트절연막(43)이 동시에 식각되게 된다. 이어서, 두 번째 건식식각공정에서 노출된 활성층(47)을 식각하게 된다. 이때, 활성층(47)의 비정질실리콘과 게이트절연막(43)의 무기절연물질을 선택적으로 식각함으로써 데이터링크부의 제1 접촉홀(52)을 제외한 나머지 부에서 안정적인 게이트절연막(43)이 잔류되게 한다.

<34> 도 4f를 참조하면, 게이트절연막(43) 상에 패시베이션층(51)을 덮고 제1 및 제2 접촉홀(52, 53)을 통해 데이터링크부의 게이트전극(42) 및 드레인전극(49b)과 접촉되게 인듐주석산화물(Indium Tin Oxide : ITO), 주석산화물(Tin Oxide : TO) 또는 인듐아연산화물(Indium Zinc Oxide : IZO) 등의 투명한 전도성물질을 증착하게 된다. 그리고, 투명한 전도성물질을 패터닝하여 박막트랜지스터 및 데이터링크부에 제2 및 제1 접촉홀(53, 52)을 통해 드레인전극(49b) 및 게이트 전극(42)와 각각 접촉되는 화소전극(54)을 형성하게 된다.

<35> 이와 같이, 본 발명은 본실링부 및 더미실링부와 하판 간에 형성되는 층들을 동일하게 형성함으로써, 상/하판 합착시 가해지는 압력이 상판의 전면에 동일하게 가해지도록

록 하여 셀갯을 균일하게 형성할 수 있다.

【발명의 효과】

<36> 상술한 바와 같이, 본 발명의 실시예에 따른 액정표시소자 및 그의 제조방법은 본 실링부 및 더미실링부와 하판 간에 형성되는 층들을 동일하게 형성함으로써, 그 층들 상에 형성되는 본실링부 및 더미실링부의 수직단차를 동일하게 할 수 있다. 따라서, 상/하판 합착시 셀갯을 균일하게 형성할 수 있다. 더 나아가, 셀갯의 균일성에 의해 셀갯의 이인성, 부정형 얼룩 및 리플불량을 개선할 수 있다.

<37> 이상 설명한 내용을 통해 당업자라면 본 발명의 기술사상을 일탈하지 아니하는 범위에서 다양한 변경 및 수정이 가능함을 알 수 있을 것이다. 따라서, 본 발명의 기술적 범위는 명세서의 상세한 설명에 기재된 내용으로 한정되는 것이 아니라 특허 청구의 범위에 의해 정하여져야만 할 것이다.

【특허청구범위】**【청구항 1】**

액정이 외부로 유출되는 것을 방지하기 위한 본실링부와 상기 본실링부와 액정패널의 외곽의 단차를 줄이기 위한 더미실링부를 구비하는 액정표시소자에 있어서,

상기 본실링부 및 더미실링부와 하부기판 간에 형성되는 게이트전극과;

상기 게이트전극 상에 형성되는 게이트절연막을 구비하는 것을 특징으로 하는 액정표시소자.

【청구항 2】

제 1 항에 있어서,

상기 게이트절연막의 상부와 상기 하부기판간의 수직단차가 6500Å 정도로 동일하게 상기 본실링부 및 더미실링부와 하부기판간에 형성되는 것을 특징으로 하는 액정표시소자.

【청구항 3】

액정이 외부로 유출되는 것을 방지하기 위한 본실링부와 상기 본실링부와 액정패널의 외곽의 단차를 줄이기 위한 더미실링부를 구비하는 액정표시소자의 제조방법에 있어서,

상기 본실링부 및 더미실링부와 하부기판 간에 게이트전극을 형성하는 단계와;

상기 게이트전극 상에 게이트절연막, 활성층, 오믹접촉층 및 금속층을 형성하는 단계와;

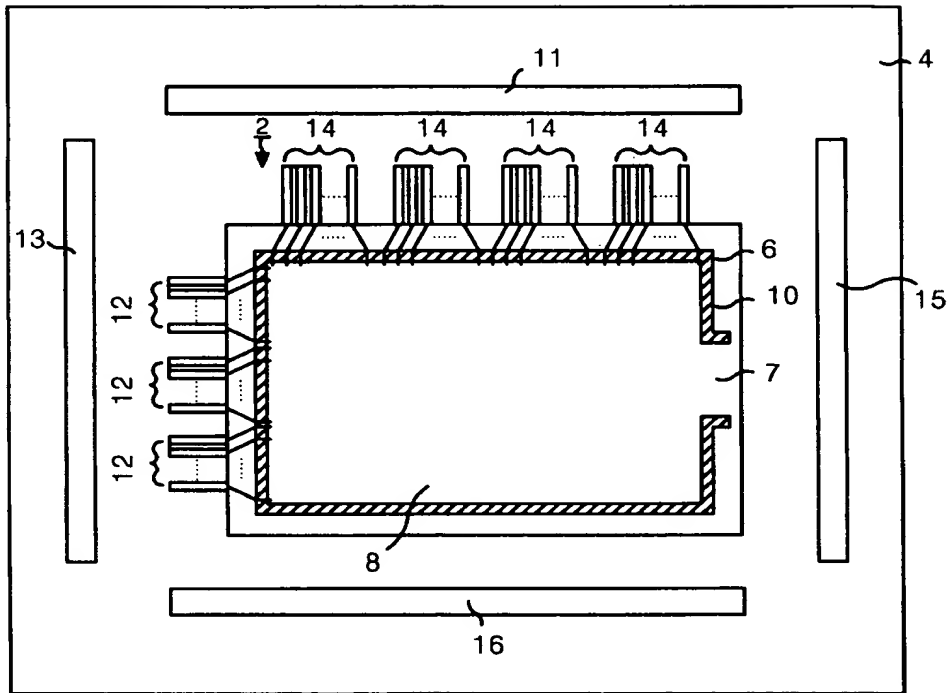
상기 금속층 및 오믹접촉층이 박막트랜지스터에 대응되는 부분에만 잔류하도록 함

과 아울러 데이터링크부에 대응되는 상기 게이트절연막이 노출되도록 상기 활성층을 패터닝하는 단계와;

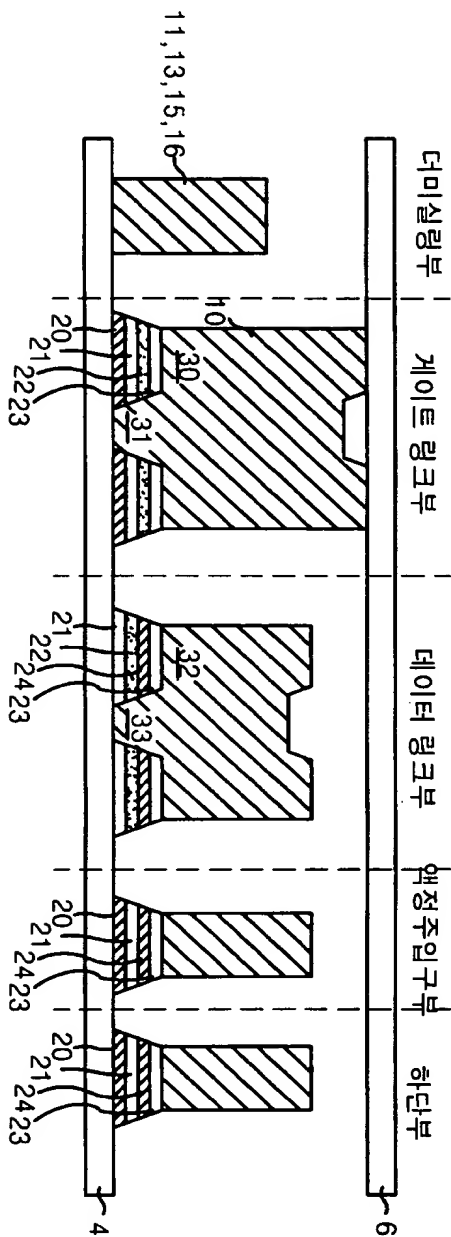
상기 금속층을 덮도록 상기 하판 상의 전면에 패시베이션층을 형성함과 아울러 상기 패시베이션층 및 활성층이 상기 박막트랜지스터에 대응되는 부분에만 잔류하도록 패터닝하는 단계를 포함하는 것을 특징으로 하는 액정표시소자의 제조방법.

【도면】

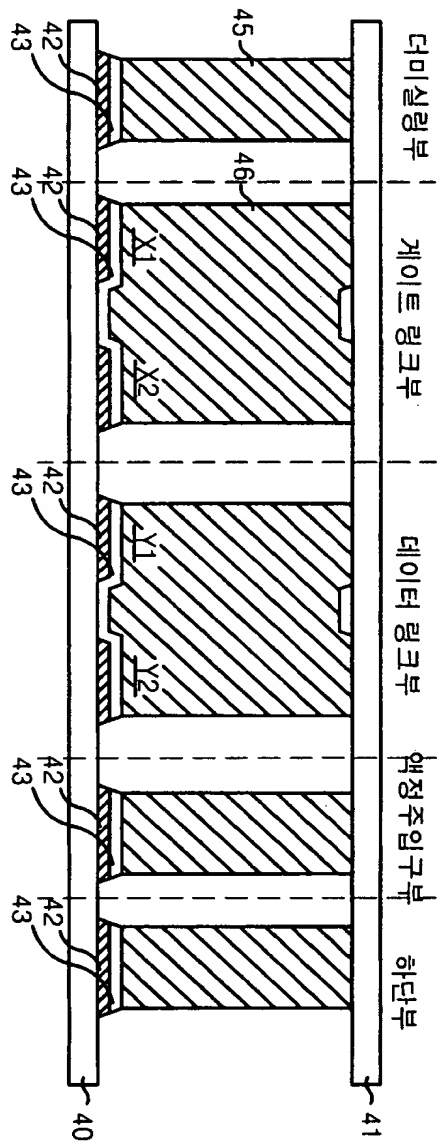
【도 1】



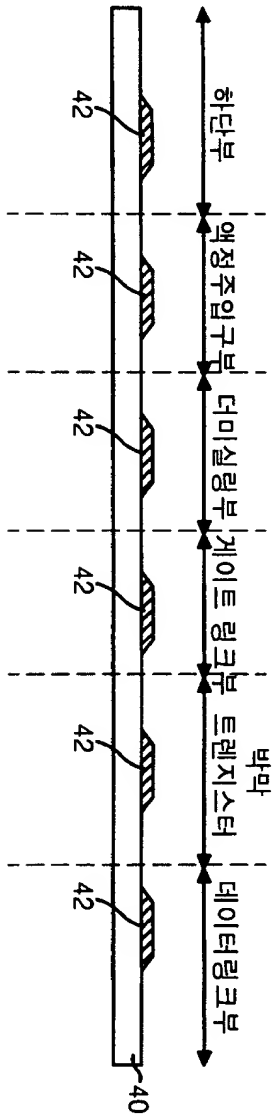
【도 2】



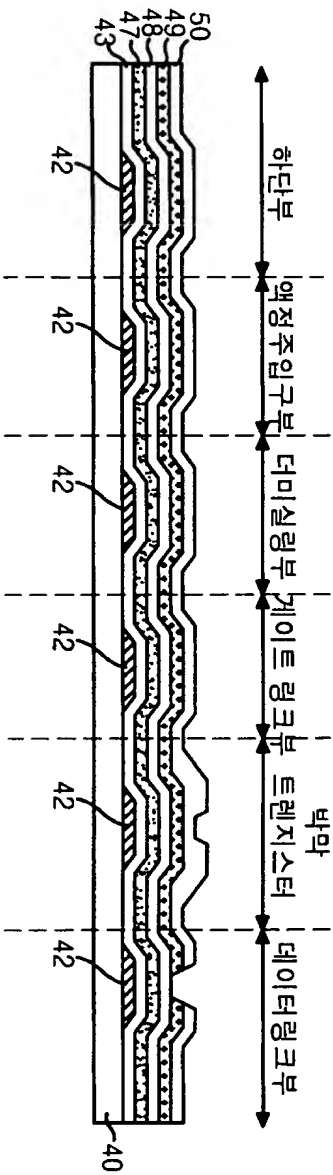
【도 3】



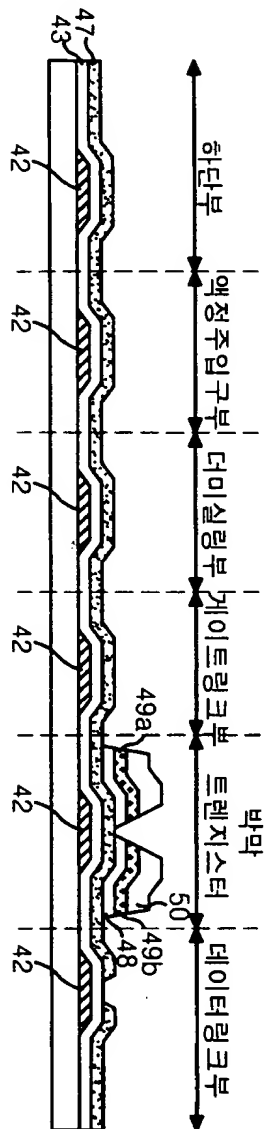
【도 4a】



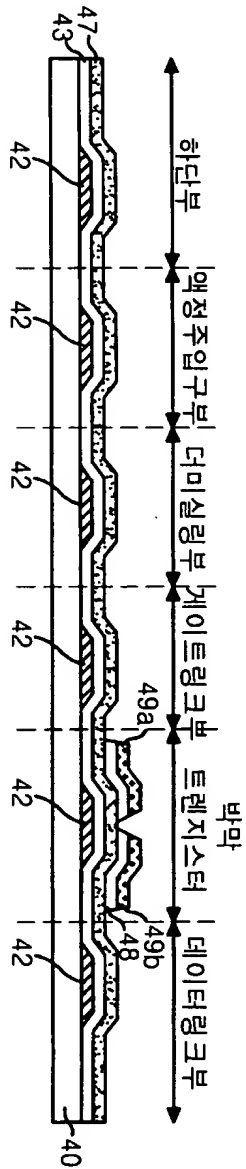
【도 4b】



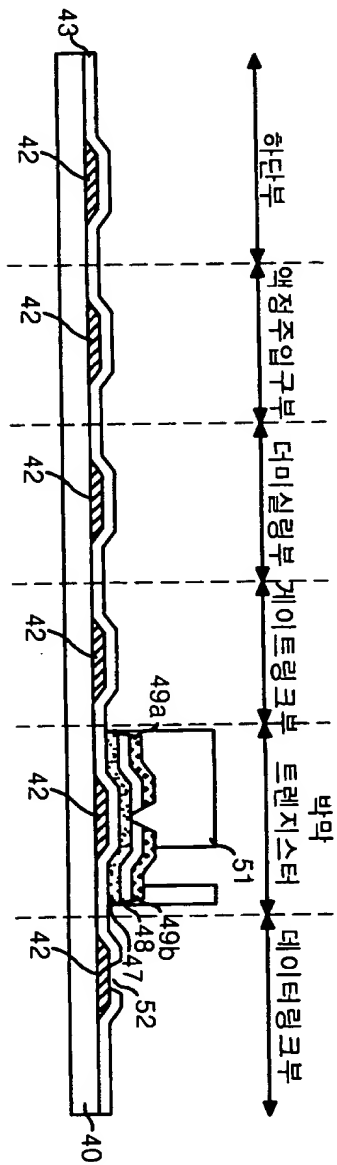
【도 4c】



【도 4d】



【도 4e】



【도 4f】

